001.txt

X01

Uklad XC95144XL ma przerzutniki o wspolnym globalnym sygnale CE :

TAK

NIE

002.txt

X01

W jezyku VHDL sygnaly niezainicjowanie jawnie maja nieokreslone wartosci poczatkowe :

TAK

NIE

003.txt

X00001

Wskaz sekwencje obliczona dla wyrazenia: S1 and S2, jesli oba argumenty S1 oraz S2 sa typu std\_logic oraz zmieniaja sie co 100ns przechodzac przez nastepujacy ciag wartosci: <br> S1: 1 1 0 0 <br> S2: X W W X

1 1 X X

X W X X

1 1 0 0

X W 0 0

X X 0 0

004.txt

X0100

Uklad XC95144XL ma liczbe przerzutnikow w jednym bloku funkcyjnym rowna:

54

18

3

144

005.txt

X0100

Wybierz technologie, ktora odznacza sie najdluzszym czasem przygotowania projektu:

GA

SC

FPGA

CPLD

006.txt

X01

Czy w jezyku VHDL instrukcje sekwencyjne moga wystapic bezposrednio w tresci architektury?

TAK

NIE

007.txt

X10

Czy uklady CPLD rodziny XC9500XL maja bufory WY, ktore przy odpowiednim napieciu VCCIO moga sterowac ukladami TTL?

TAK

NIE

008.txt

X0010

Pewien sygnal typu std\_logic ma dwa sterowniki S1 oraz S2. Wskaz ciag obliczeniowy przez jego funkcje rozstrzygajaca, jesli oba sterowniki zmieniaja sie co 100 ns przez nastepujace sekwencje wartosci: <br> S1: Z L L 1 <br> S2: W L H U

X L W 1

X L U 1

W L W U

W L L 1

009.txt

X01

Uklad XC9536XL ma przerzutniki w blokach WE/WY :

TAK

NIE

010.txt

X0001

Uklad XC9572XL ma liczbe blokow funkcyjnych rowna :

54

8

18

4

011.txt

X1000

Ktora technologia jest tradycyjnie wykorzystywana do konfigurowania ukladow FPGA?

SRAM

EEPROM

AFPROM

EPROM

012.txt

X1000

Pewien sygnal typu std\_logic ma dwa sterowniki S1 oraz S2. Wskaz ciag obliczeniowy przez jego funkcje rozstrzygajaca, jesli oba sterowniki zmieniaja sie co 100 ns przez nastepujace sekwencje wartosci: <br> S1: 0 0 1 1 <br> S2: X 1 1 L

X X 1 1

X U 1 L

0 X 1 1

X U 1 U

013.txt

X01

Uklad PAL16R8 ma bufory trojstanowe sterowane globalnym sygnalem OE z pinu zewnetrznego :

TAK

NIE

014.txt

X01

W jezyku VHDL instrukcja przypisania zmiennej moze wystapic wprost w bloku architektury :

TAK

NIE

015.txt

X0100

Uklad XC9536XL ma maksymalna liczbe WE/WY :

144

36

18

54

016.txt

X1000

Wskaz sekwencje obliczona dla wyrazenia: S1 or S2, jesli oba argumenty S1 oraz S2 sa typu std\_logic oraz zmieniaja sie co 100ns przechodzac przez nastepujacy ciag wartosci: <br> S1: 1 1 0 0 <br> S2: X W W X

1 1 X X

X W X X

1 1 0 0

X W 0 0

017.txt

X001

Posiada tylko konfigurowalna matryce sum:

PAL

PLA

PLE

018.txt

X0001

Wybierz element, ktory narzedzie syntezy powinno utworzyc dla ponizszego opisu VHDL:

Obraz zawierający tekst

Opis wygenerowany automatycznie

Zatrzask typu D z synchronicznym kasowaniem

Zatrzask typu D z asynchronicznym kasowaniem

Przerzutnik typu D z synchronicznym kasowaniem

Przerzutniktypu D z asynchronicznym kasowaniem

019.txt

X10

Czy uklady CPLD rodziny XC9500XL maja bufory WY, ktore przy odpowiednim napieciu VCCIO moga sterowac ukladami CMOS 2.5V?

TAK

NIE

020.txt

X0001

W ktorych z podanych ukladow osiaga sie najnizszy koszt przygotowania projektu?

FC

GA

SC

FPGA

021.txt

X0010

Wybierz rodzine ukladow, w ktorej konfiguracja przechowywana jest w statycznej pamieci RAM:

GS

SC

FPGA

CPLD

022.txt

X00100

Wprowadzanie elektronow o duzej energii kinetycznej dotyczy :

FPROM

EEPROM

EPROM

AFPROM

SRAM

023.txt

X0100

Uklad XC95144XL ma liczbe blokow funkcyjnych rowna :

54

8

18

4

024.txt

X1000

Uklad XC95144XL ma liczbe wejsc w jednym bloku funkcyjnym rowna:

54

18

3

144

025.txt

X1000

Uklad XC9572XL ma liczbe sygnalow dochodzacych do kazdego bloku funkcyjnego rowna :

54

18

3

144

026.txt

X10

Uklad XC9572XL moze przy odpowiedniej konfiguracji sterowac wyjscia ukladow CMOS 2.5V :

TAK

NIE

027.txt

X001

Najgorsze wykorzystanie powierzchi ukladu:

SC

GA

FPGA

028.txt

X0010

Wybierz technologie ktora jest najdrozsza wsrod ukladow programowalnych po stronie uzytkownika:

GA

SC

FPGA

CPLD

029.txt

X01

Uklad XC9572XL zawiera linie szybkich wewnetrznych sprezen zwrotnych w kazdym bloku funkcyjnym :

TAK

NIE

030.txt

X10

W jezyku VHDL w tresci architektury moga wystapic wylacznie instrukcje wspolbiezne :

TAK

NIE

031.txt

X00010

Jednokrotne programowanie przez zwieranie antybezpiecznikow dotyczy :

FPROM

EEPROM

EPROM

AFPROM

SRAM

032.txt

X1000

Kolejnosc nazw sygnalow interfejsow JTAG na schemacie (od gory do dolu) :

TDI, TDO, TMS, TCK

TDO, TDI, TMS, TCK

TDO, TDI, TCK, TMS

TDI, TDO, TCK, TMS

033.txt

X10

Czy uklady CPLD rodziny XC9500XL zawieraja bufory WY o konfigurowanej szybkosci narastania zbocza?

TAK

NIE

034.txt

X0010

Z ponizszych wskaz uklady programowalne z ulotna pamiecia konfiguracji:

GA

SC

FPGA

PAL

035.txt

X0100

Uklad XC9572XL jest przystosowany do pracy z minimalnym napieciem zasilania Vcc rownym :

2.5 V

3.3 V

1.4 V

5 V

036.txt

X0010

W jezyku VHDL ciag bitowy B”000\_1111\_0001\_11” mozna zapisac jako:

X”0F” & O”013”

X”0F0” & O”7”

X”0F” & O”07”

X”0F” & O”0” & “11”

037.txt

X10

W jezyku VHDL lista warunkow instrukcji case ... when musi byc rozlaczna i wyczerpujaca :

TAK

NIE

038.txt

X1000

Majac Y1 i Y2 to Y dla H + L jest rowny

W

H

L

X

039.txt

X01

W jezyku VHDL proces z lista wrazliwosci sygnalow zostanie wykonany w kazdym cyklu symulacji, w ktorym dowolny sygnal z listy jest aktywny :

TAK

NIE

040.txt

X01

Czy uklady CPLD rodziny XC9500XL zawieraja jedna globalna matryce polaczen sygnalow pomiedzy blokami funkcyjnymi?

NIE

TAK

041.txt

X0001

Uklady TTL wykorzystuja zasilanie :

2.5V

1.4V

3.3V

5V

042.txt

X1000

Uklad XC95144XL ma liczbe globalnych sygnalow Set/Reset rowna :

1

2

3

4

043.txt

X0010

Uklad XC95144XL ma liczbe globalnych sygnalow zegarowych rowna:

54

18

3

144

044.txt

X10

Czy uklad PALCE22V10 ma jednakowa liczbe bramek iloczynu dolaczonych do bramek OR w matrycy?

TAK

NIE

045.txt

X10

W jezyku VHDL instrukcje for ... generate mozna zagniezdzac :

TAK

NIE

046.txt

X1

W symbolu ukladu PAL litera V (np.. w PAL22V10) oznacza:

uklad wykonany w technologii CMOS

047.txt

X10

Czy w jezyku VHDL kazdy sygnal majacy w pewnym cyklu symulacji zdarzenie jest takze w tym cyklu aktywny?

TAK

NIE

048.txt

X10

W jezyku VHDL proces z lista wrazliwosci sygnalow zostanie wykonany w kazdym cyklu symulacji, w ktorym dowolny sygnal z listy posiada zdarzenie :

TAK

NIE

049.txt

X00100

Kasowanie promieniem jonizujacym dotyczy:

FPROM

EEPROM

EPROM

AFPROM

SRAM

050.txt

X01

Czy w jezyku VHDL kazda instrukcja instancji komponentu musi miec etykiete?

NIE

TAK

051.txt

X0001

Majac Y1 i Y2 to Y dla 1 + 0 jest rowny

1

0

U

X

052.txt

X01

Czy w jezyku VHDL typ STD\_LOGIC jest typem wbudowanym, ktory mozna uzywac bez dolaczania bibliotek zewnetrznych?

TAK

NIE

053.txt

X0001

Uklad XC95144XL ma liczbe globalnych sygnalow trzystanowych GTS-OE rowna :

1

2

3

4

054.txt

X1000

Majac Y1 i Y2 to Y dla 1 + U jest rowny

U

H

L

X

055.txt

X01000

Nieulotne programowanie wielokrotne ukladow wlutowanych dotyczy:

FPROM

EEPROM

EPROM

AFPROM

SRAM

056.txt

X0001

Uklad XC95144XL ma ogolna liczbe przerzutnikow rowna:

54

18

3

144

057.txt

X1000

W ktorej technologii mozliwe jest nieulotne i wielokrotne programowanie ukl. wlutowanych (in-system programming)?

EEPROM

AFPROM

FPROM

EPROM

058.txt

X00001

Programowanie wielokrotne bez uzycia tranzystorow z bramka swobodna dotyczy:

FPROM

EEPROM

EPROM

AFPROM

SRAM

059.txt

X00010

Programowanie jednokrotne ukladow wykonanych w technologi CMOS dotyczy:

FPROM

EEPROM

EPROM

AFPROM

SRAM

060.txt

X10

W jezyku VHDL kazda instrukcja instancji komponentu musi miec etykiete :

TAK

NIE

061.txt

X1000

W ktorej technologii wystepuje najdluzszy proces kasowania pamieci konfiguracji?

EPROM

EEPROM

AFPROM

SRAM

062.txt

X10

Uklad PAL16L8 ma programowalna matryce iloczynow :

TAK

NIE

063.txt

X10

W jezyku VHDL w cyklu symulacji aktualizacja wartosci wszystkich sygnalow odbywa sie przed wykonaniem procesow :

TAK

NIE

064.txt

X0010

W ktorej technologii wystepuje starzenie sie (drygt w czasie) rezystancji punktu programowalnego?

EEPROM

AFPROM

EPROM

FPROM

065.txt

X0010

Uklad PAL16R8 ma laczna liczbe WE do matrycy programowalnej rowna :

8

16

32

4

066.txt

X1

Czy uklad PALCE22V10 ma programowalny typ przerzutnikow D/T?

w klasycznej bramce CMOS

067.txt

X100

Najwyszy koszt przygotowania projektu:

SC

GA

FPGA

068.txt

X1000

W bramkach CMOS jedna pare komplementarna tworza:

tranzystor NEMOS + tranzystor PEMOS

tranzystor NDMOS + tranzystor PDMOS

tranzystor PEMOS + tranzystor PDMOS

tranzystor NEMOS + tranzystor NDMOS

069.txt

X01

W jezyku VHDL kazdy sygnal aktywny w pewnym cyklu symulacji ma takze w tym cyklu zdarzenie :

TAK

NIE

070.txt

X0100

Uklad XC95144XL ma liczbe makrokomorek w jednym bloku funkcyjnym rowna:

54

18

3

144

071.txt

X0001

Uklad XC95288XL ma napiecie zasilania VCCINT wynoszace:

2.5V

5.0V

3.0V

3.3V

072.txt

X01

W jezyku VHDL po wykonywaniu procesu wartosci sygnalow w nim przypisywanych nie zmieniaja sie :

TAK

NIE

073.txt

X0001

Pewien sygnal typu std\_logic ma dwa sterowniki S1 oraz S2. Wskaz ciag obliczeniowy przez jego funkcje rozstrzygajaca, jesli oba sterowniki zmieniaja sie co 100 ns przez nastepujace sekwencje wartosci: <br> S1: 1 W Z H <br> S2: U L L L

1 X Z W

U W Z X

1 W L W

U W L W

074.txt

X0010

Ktorej z ponizszych funkcji czterech zmiennych NIE MOzNA zrealizowac w jednej bramce CMOS laczac tranzystory w odpowiednie struktury rownoleglo-szeregowe?

not(A and B and C and D)

not(A or B or C or D)

not((A or B) and (C or D))

A or B or C or D

075.txt

X0001

W symbolu ukladU PAL litera L (np. PAL 16L8):

uklad o WY kombinacyjnych aktywnych poziomem wysokim

uklad o WY rejestrowych

uklad z makrokomorkami konfigurowalnymi

uklad o WY kombinacyjnych aktywnych poziomem niskim

076.txt

X1000

Uklad PAL16R8 ma liczbe WY rejestrowych rowna :

8

16

32

64

077.txt

X0010

Uklady konfigurowalne po stronie uzytkownika:

SC

GA

FPGA

FC

078.txt

X100

Najlepsze wykorzystanie powierzchi ukladu:

SC

GA

FPGA

079.txt

X0010

Pewien sygnal typu std\_logic ma dwa sterowniki S1 oraz S2. Wskaz ciag obliczeniowy przez jego funkcje rozstrzygajaca, jesli oba sterowniki zmieniaja sie co 100 ns przez nastepujace sekwencje wartosci: <br> S1: 0 0 1 1 <br> S2: H 0 0 X

H 0 X 1

0 0 U U

0 0 X X

H 0 U X

080.txt

X010

Posiada konfigurowalna matryce iloczynow i sum :

PAL

PLA

PLE

081.txt

X10

Uklad PALCE22V10 ma przerzutniki ze wspolnym sygnalem zegarowym :

TAK

NIE

082.txt

X001

Najkrotszy czas przygotowania projektu :

SC

GA

FPGA

083.txt

X0100

Wskaz najbardziej rozpowszechniony rodzaj prostych ukladow PLD:

PLA

PAL

PLE

FPGA

084.txt

X00010

Programowanie jednokrotne ukladow CMOS o duzym stopniu scalenia dotyczy :

FPROM

EEPROM

EPROM

AFPROM

SRAM

085.txt

X01

Czy uklad PALCE22V10 ma programowalna matryce iloczynow?

NIE

TAK

086.txt

X0100

Wybierz uklady w ktorych jest programowalna matryca sum przy stalej matrycy iloczynow:

PAL

PLE

PLA

CPLD

087.txt

X10000

Jednokrotne programowanie przez rozwieranie polaczen dotyczy :

FPROM

EEPROM

EPROM

AFPROM

SRAM

088.txt

X01

W jezyku VHDL opis na poziomie RTL nie moze zawierac instrukcji sekwencyjnych :

TAK

NIE

089.txt

X0100

Wybierz uklad PLD funkcjonujace jak pamiec PROM:

PLA

PAL

PLE

CPLD

090.txt

X10

W jezyku VHDL jest wbudowany operator potegowania :

TAK

NIE

091.txt

X10

Uklad PALCE22V10 ma 22 sygnaly dostepne koplementarnie w matrycy programowalnej :

TAK

NIE

092.txt

X0100

Uklad XC9572XL ma liczbe termow przypadajacych na jedno makrokomorke rowna :

8

5

3

54

093.txt

X01000

Kasowanie z wykorzystaniem efektu tunelowego dotyczy :

FPROM

EEPROM

EPROM

AFPROM

SRAM

094.txt

X0100

W symbolu ukladu PAL litera R (np. w PAL16R6) oznacza:

uklad o WY kombinacyjnych aktywnych poziomem wysokim

uklad o WY rejestrowych

uklad z makrokomorkami konfigurowalnymi

uklad o WY kombinacyjnych aktywnych poziomem niskim

095.txt

X01

Uklad XC9536XL ma ulotna pamiec konfiguracji :

TAK

NIE

096.txt

X0010

Uklad PAL16L8 ma laczna liczbe wejsc do matrycy programowalnej rowna :

8

16

32

4

097.txt

X010

Projektowanie przez uzytkownika tylko warstw metalizacji ukladu scalonego dotyczy :

SC

GA

FPGA

098.txt

X01

Czy uklady CPLD rodziny XC9500XL zawieraja dodatkowe przerzutniki w blokach WE/WY do zatrzaskiwania sygnalow WE?

TAK

NIE

099.txt

X01

W jezyku VHDL w cyklu symulacji aktualizacja wartosci sygnalow odbywa sie po wykonaniu wszystkich procesow :

TAK

NIE

100.txt

X01

Uklad PAL16R8 ma programowalna matryce sum :

TAK

NIE

101.txt

X0001

Wybierz technologie w ktorej uzytkownik projektuje najwieksza liczbe masek ukladu scalonego:

PAL

GA

SC

FPGA

102.txt

X100

Posiada tylko konfigurowalna matryce iloczynow :

PAL

PLA

PLE

103.txt

X01

Uklad PAL16L8 ma 8 przerzutnikow :

TAK

NIE

104.txt

X01

Uklad XC95144XL ma alokatory termow pozwalajace na wymiane termow miedzy blokami funkcyjnymi :

TAK

NIE

105.txt

X0001

Uklad PAL16R8 ma calkowita liczbe termow rowna :

8

16

32

64

106.txt

X10000

Najwyzsza niezawodnosc polaczenia programowalengo dotyczy:

FPROM

EEPROM

EPROM

AFPROM

SRAM

107.txt

X10000

Technologia programowania ukladow bipolarnych dotyczy :

FPROM

EEPROM

EPROM

AFPROM

SRAM

108.txt

X0010

Tranzystor w bramce CMOS, ktory otwiera sie przy podaniu poziomu zera logicznego (napiecia niskiego), to tranzystor:

NDMOS

PDMOS

PEMOS

NEMOS

109.txt

X01

Uklad XC9536XL zwiera przerzutniki ktorych sygnal taktujacy moze byc pobrany tylko z wyprowadzenia zewnetrznego :

TAK

NIE

110.txt

X001

Uklady programowalne przez uzytkownika :

SC

GA

FPGA

111.txt

X01

Uklad PALCE22V10 ma programowalna matryce sum :

TAK

NIE

112.txt

X10

W jezyku VHDL typ STD\_LOGIC mozna stosowac wylacznie do sygnalow, ktore maja tylko jeden sterownik :

TAK

NIE

113.txt

X01

W jezyku VHDL lista warunkow isntrukcji przypisania sygnalu when ... else musi byc rozlaczna i wyczerpujaca :

TAK

NIE

114.txt

X0100

Uklad XC9536XL ma calkowita (we wszystkich blokach funkcyjnych) liczbe termow rowna :

36

180

130

5

115.txt

X01

Czy uklady CPLD rodziny XC9500XL maja przerzutniki, ktorych sygnal taktujacy moze byc pobrany tylko z wypr. zewnetrznego?

TAK

NIE

116.txt

X10

Uklad PAL16R8 ma programowalna matryce iloczynow :

TAK

NIE

117.txt

X0001

Jaki sygnal wykorzystuja uklady CPLD z rodziny XC9500XL jak alternatywe dla GTS :

GSR

GCK

PTCK

PTOE

118.txt

X10

Uklad PALCE22V10 ma 10 przerzutnikow :

TAK

NIE

119.txt

X010

Najkrotszy czas produkcji wsrod ukladow z programowalna maska :

SC

GA

FPGA

120.txt

X01

W jezyku VHDL instrukcja for ... generate moze wystapic wewnatrz procesu :

TAK

NIE

121.txt

X100

Najnizszy koszt jednostkowy 1 ukladu scalonego dotyczy :

SC

GA

FPGA

122.txt

X0010

Uklad XC95288XL ma liczbe termow w kazdym bloku funkcyjnym rowna:

32

54

90

288

123.txt

X1000

W klasycznych bramkach CMOS jedynka logiczna jest osiagana przez zwarcie jej wyjscia:

do dodatniego napiecia zasilajacego przez otwarte tranzystory MOS z kanalem typu N

do dodatniego napiecia zasilajacego przez otwarte tranzystory MOS z kanalem typu P

do ujemnego napiecia zasilajacego przez otwarte tranzystory MOS z kanalem typu N

do ujemnego napiecia zasilajacego przez otwarte tranzystory MOS z kanalem typu P

124.txt

X10

W jezyku VHDL instrukcja iteracyjna for ... loop moze wystapic wylacznie wewnatrz procesu :

TAK

NIE

125.txt

X1000

Pewien sygnal typu std\_logic ma dwa sterowniki S1 oraz S2. Wskaz ciag obliczeniowy przez jego funkcje rozstrzygajaca, jesli oba sterowniki zmieniaja sie co 100 ns przez nastepujace sekwencje wartosci: <br> S1: L 0 0 X <br> S2: 1 1 0 0

1 X 0 X

L U 0 U

1 U 0 X

X X 0 U

126.txt

X00001

Standardowa technologia dla ukladow CMOS :

FPROM

EEPROM

EPROM

AFPROM

SRAM

127.txt

X10

W jezyku VHDL opisy przerzutnikow musza posrednio lub bezposrednio odwolywac sie do atrybutu EVENT :

TAK

NIE

128.txt

X01

Uklad PALCE22V10 jest wykonany w technologii antifuse :

TAK

NIE

129.txt

X010

Wykorzystanie powierzchi ukladu niewiele ponizej 80% :

SC

GA

FPGA

130.txt

X01

Uklad PAL16R8 ma bufory trojstanowe sterowane globalnym sygnalem CE z pinu zewnetrznego :

TAK

NIE

131.txt

X01

Czy uklady CPLD rodziny XC9500XL maja bufory WY, ktore przy odpowiednim napieciu VCCIO moga sterowac ukladami CMOS 1.8V?

TAK

NIE

132.txt

X010

Najtansza technologia wsrod ukladow programowalnych maska :

SC

GA

FPGA

133.txt

X01

W jezyku VHDL instrukcja instacji komponentu moze wystapic wewnatrz procesu :

TAK

NIE

134.txt

X10

Uklad XC95144XL mozna skonfigurowac na poziomie kazdej makrokomorki w trybie obnizonego poboru mocy :

TAK

NIE

135.txt

X0001

Ktora technologia konfigurowania uzywa lawinowe wprowadzanie elektronow o duzej energii kinetycznej?

SRAM

FPROM

AFPROM

EPROM

136.txt

X10

W jezyku VHDL funkcja rozstrzygajaca jest konieczna w przypadku sygnalow z wieloma sterownikiami :

TAK

NIE

137.txt

X10

W jezyku VHDL podczas wykonywania procesu wartosci sygnalow w nim przypisywanych nie zmieniaja sie :

TAK

NIE

138.txt

X10

Uklad XC9536XL ma alokatory termow sluzace do wymiany termow miedzy makrokomorkami w bloku funkcyjnym :

TAK

NIE

139.txt

X100

Mozliowosc wykorzystania gotowych duzych blokow funkcyjnych tzw. mega cores :

SC

GA

FPGA

140.txt

X1000

Uklad PAL16L8 ma liczbe WY kombinacyjnych rowna :

8

64

32

4

141.txt

X0001

Wybierz uklad, w ktorych wystepuje wiele identycznych matryc programowalnych w jednej strukturze ukladu:

PLA

PLE

FPGA

CPLD

142.txt

X10

Czy w jezyku VHDL z jedna jednostka (entity) moze byc skojarzonych dowolnie wiele architektur?

TAK

NIE

143.txt

X01

W jezyku VHDL wielkosc liter jest rozroznialna :

TAK

NIE

144.txt

X0010

W oznaczeniach ukladow PAL druga z dwoch liczb (np. 8 w symbolu PLA16L8) to:

calkowita liczba wyprowadzen obudowy

calkowita liczba WE atrycy programowalnej

calkowita liczba WY w ogole lub WY rejestrowych

calkowita liczba sprzezen zwrotnych wracajacych do matrycy programowalnej

145.txt

X01

Czy w jezyku VHDL kazda architektura jest skojarzona z dokladnie jedna jednostka?

NIE

TAK

146.txt

X01

Uklad PAL16L8 ma bufory trojstanowe sterowane globalnym sygnalem CE z pinu zewnetrznego :

TAK

NIE

147.txt

X01

Uklad XC95144XL zawiera przerzutniki o blokach WE/WY :

TAK

NIE

148.txt

X01

Uklad XC95144XL do programowania wykorzystuje EPROM (sporne z opracowania) :

TAK

NIE

149.txt

X01

W jezyku VHDL instrukcje procesow mozna zagniezdzac :

TAK

NIE

150.txt

X100

Projektowanie wiekszosci/wszystkich masek ukladu scalonego :

SC

GA

FPGA

151.txt

X10

Czy w jezyku VHDL wyrazenie: (a and b or c) (gdzie a, b oraz c sa sygnalami typu std\_logic) jest poprawne?

NIE

TAK